

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10078475

(43)Date of publication of application: 24.03.1998

(51)Int.Cl.

G01R 31/28
G06F 11/22
H01L 27/04
H01L 21/822

(21)Application number: 08232845

(71)Applicant:

MITSUBISHI ELECTRIC CORP

(22)Date of filing: 03.09.1996

(72)Inventor:

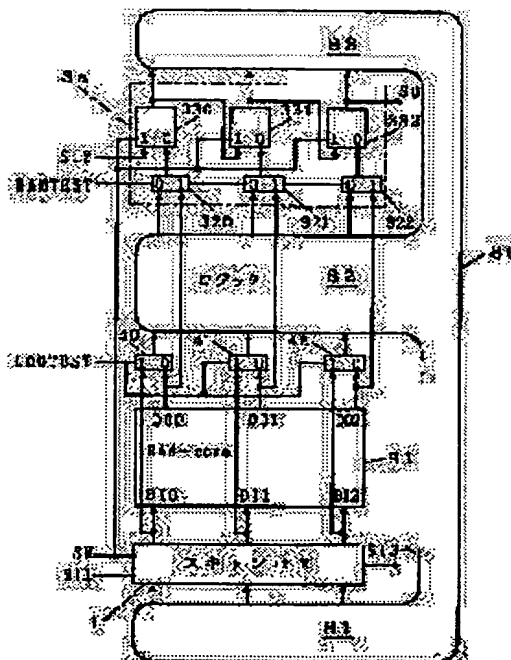
OOSAWA TOKUYA
MAENO HIDESHI

(54) TEST CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a constitution of scan pass with high utility efficiency of area.

SOLUTION: In normal mode, a logic test signal LOGTEST, a RAM test signal RAMTEST and a shift mode signal SM are set to '0'. The write operation and the read operation of RAM core 91 are done with synchronization/non- synchronization, respectively. In logic test mode, the RAM test signal RAMTEST is set to '0' and the logic test signal LOGTEST is set to '1'. In RAM test mode the RAM test signal RAMTEST is set to '1' and the logic test signal LOGTEST is set to '0', respectively. The same scan pass 3a are used for both of the scan pass put between logic parts 82 and 83 in logic test and the scan pass placed in the output side of the RAM core 91 in RAM test.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C) 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-78475

(43)公開日 平成10年(1998)3月24日

(51)Int.Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

G 0 1 R 31/28

G 0 6 F 11/22

H 0 1 L 27/04

21/822

3 6 0

G 0 1 R 31/28

G 0 6 F 11/22

G 0 1 R 31/28

H 0 1 L 27/04

G

3 6 0 P

V

T

審査請求 未請求 請求項の数5 OL (全14頁)

(21)出願番号

特願平8-232845

(22)出願日

平成8年(1996)9月3日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 大澤 徳哉

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 前野 秀史

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

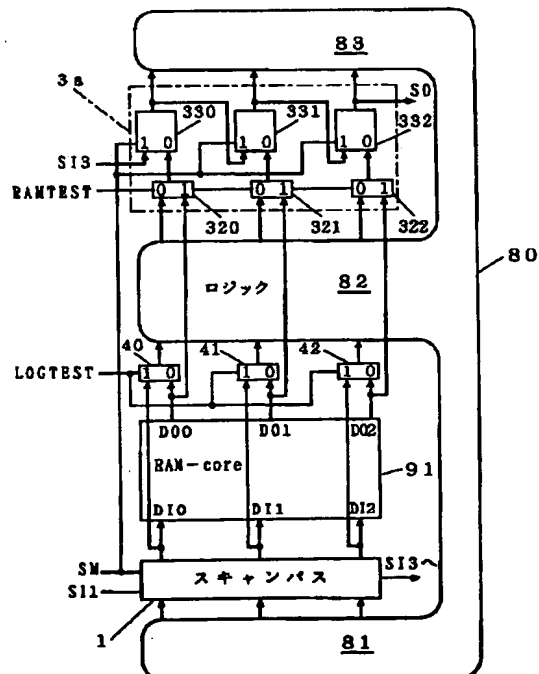
(74)代理人 弁理士 吉田 茂明 (外2名)

(54)【発明の名称】 テスト回路

(57)【要約】

【課題】 面積の利用効率の高いスキャンパスの構成を提供する。

【解決手段】 通常モードにおいては、ロジックテスト信号LOGTEST、RAMテスト信号RAMTEST及びシフトモード信号SMを“0”に設定する。RAMコア91の書き込み動作及び読み出し動作はそれぞれ同期式/非同期式で行われる。ロジックテストモードにおいてはRAMテスト信号RAMTESTが“0”に、ロジックテスト信号LOGTESTが“1”に、それぞれ設定される。RAMテストモードにおいては、RAMテスト信号RAMTESTが“1”に、ロジックテスト信号LOGTESTが“0”に、それぞれ設定される。ロジックテストにおけるロジック部82、83の間に介在するスキャンパスとして、RAMテストにおいてRAMコア91の出力側に設けられるスキャンパスとして、いずれも同一のスキャンパス3aが用いられる。



【特許請求の範囲】

【請求項 1】 第 1 乃至第 3 の回路に対して第 1 のテストを行うテスト回路であって、
前記第 1 の回路の出力及びスキャンイン信号を入力し、
パラレルの態様の第 1 の出力及びスキャン信号たる第 2 の出力を選択的に出力する第 1 のスキャンバスと、
前記第 1 のスキャンバスの前記第 1 の出力を入力する入力端群及び出力端群を有する第 4 の回路と、
前記第 1 のスキャンバスの前記第 1 の出力と、前記第 4 の回路の出力とを選択的に前記第 2 の回路に出力する選択手段と、
前記第 1 のスキャンバスの第 2 の出力と、前記第 2 の回路の出力と、前記第 4 の回路の出力とを入力し、これら 3 者の何れか一つを選択的に前記第 3 の回路に出力する第 2 のスキャンバスとを備え、
前記第 4 の回路に対して第 2 のテストをも行うテスト回路。

【請求項 2】 前記第 2 のスキャンバスはデータ圧縮機能を有する、請求項 1 記載のテスト回路。

【請求項 3】 前記第 2 のスキャンバスは、前記第 4 の回路の出力を選択的に前記第 3 の回路に与える場合に M I S R 回路を構成する、請求項 2 記載のテスト回路。

【請求項 4】 前記第 2 のスキャンバスは前記第 2 の回路の出力に対してビット毎に設けられ、前記データ圧縮機能を発揮するデータ圧縮回路からなり、
前記データ圧縮回路の各々は前記第 2 の回路の出力を受ける通常入力端と、前記スキャン信号が伝搬するスキャン入力端と、出力端とを含むスキャンフリップフロップと、
前記スキャンフリップフロップの前記スキャン入力端に接続された出力端と、前記出力端に選択的に接続される第 1 及び第 2 の入力端とを含むセクタと、
前記セクタの前記第 1 の入力端に出力する論理回路とを有し、
前記論理回路の各々は、自身に対応する前記スキャンフリップフロップの出力を保持するループを、前記セクタと共に形成し、前記第 2 のテストの結果が不良であれば前記スキャンフリップフロップに所定の論理を与え、
前記スキャン信号は前記セクタの前記第 2 の入力端を伝搬する、請求項 2 記載のテスト回路。

【請求項 5】 第 1 乃至第 5 の回路に対して第 1 のテストを行うテスト回路であって、
前記第 1 の回路の出力及びスキャンイン信号を入力し、
パラレルの態様の第 1 の出力及びスキャン信号たる第 2 の出力を選択的に出力し、前記第 1 の出力は前記第 2 の回路に入力する第 1 のスキャンバスと、
前記第 1 のスキャンバスの前記第 1 の出力と、前記第 2 の回路の出力とを選択的に前記第 5 の回路に出力する選択手段と、
前記第 1 のスキャンバスの第 2 の出力と、前記第 3 の回

路の出力と、前記第 5 の回路の出力とを入力し、これら 3 者の何れか一つを選択的に前記第 4 の回路に出力する第 2 のスキャンバスとを備え、
前記第 5 の回路に対して第 2 のテストをも行うテスト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はスキャンバス、特に非同期 RAM コア及びロジック回路の周辺に設けられるスキャンバスに関する。

【0002】

【従来の技術】図 16 は、3 つのロジック部 81～83 を含むロジック領域 80、およびロジック領域 80 によって囲まれた非同期式の RAM コア 91 に対して、スキャンバス 1～3 を設けるスキャンテスト方式を用いたテスト手法を行うための構成を示すブロック図である。スキャンテスト方式では、チップの内部に存在するフリップフロップ (FF) をスキャンフリップフロップ (SFF) に置換し、スキャンバスを構成する。

【0003】例えば図 16 では、シリアルのスキャンイン信号 S11 からスキャンバス 1～3 へと順次テストデータを入力し、テスト実行後にはシリアルのスキャンアウト信号 SO としてテスト結果を出力する。スキャンバス 1, 2 は RAM コア 91 と共に RAM ブロック 92 を構成している。

【0004】図 17 は、RAM ブロック 92 の詳細を示す回路図である。スキャンバス 1 はスキャンフリップフロップ 10～12 によって、スキャンバス 2 はスキャンフリップフロップ 20～22 及びセクタ 203～223 によって、それぞれ構成されている。スキャンフリップフロップ 10～12, 20～22 はいずれも制御信号の値が“0”/“1”を採るに従って、それぞれ出力端に接続される“0”入力端及び“1”入力端とを有するセクタと、このセクタの出力に接続されたフリップフロップとから構成されている。

【0005】図 18 はスキャンフリップフロップ 10 の構成を例示する回路図である。スキャンフリップフロップ 10 はセクタ 101 及びフリップフロップ 102 によって構成されているが、他のスキャンフリップフロップも同様に構成できる。図 17 においては全てのスキャンフリップフロップ 10～12, 20～22 の制御信号としてシフトモード信号 SM が与えられる。

【0006】通常の動作時においては、シフトモード信号 SM は“0”に設定され、スキャンフリップフロップ 10～12 及びスキャンフリップフロップ 20～22 は全て通常のフリップフロップとして、それぞれ RAM コア 91 の入力側及び出力側において機能することになる。

【0007】但し、出力側のスキャンバス 2 において、スキャンフリップフロップ 20～22 が実質的に機能す

る場合としない場合がある。これはスキャンフリップフロップ20～22とRAMコア91の出力とを選択的に出力するセクタ203, 213, 223の機能に依存する。即ち、セクタ203, 213, 223の制御信号として与えられるテストモード信号TESTが値“1”/“0”を採るのに対応して、RAMブロック92はその読み出し動作が同期式/非同期式となる。ここで「同期」とは、フリップフロップの動作等において当然必要となる、図示されないクロックに対して「同期」することを意味する。

【0008】ロジック領域80に対するテスト動作（ロジックテスト）においてはシフトモード信号SM及びテストモード信号TESTを“1”にすることにより、スキャンイン信号SIはスキャンフリップフロップ10～12, 20～22を順次シフトし（スキャンモード）、テストデータがスキャンフリップフロップ20～22に格納される。

【0009】このテストデータはロジック部82へと入力される。スキャンパス1はロジック部81の出力（テスト結果）を受けるので、スキャンフリップフロップ10～12にはこのテスト結果が格納される。

【0010】

【発明が解決しようとする課題】このように、ロジックテストにおいてはスキャンフリップフロップ10～12, 20～22のいずれもが用いられる。しかし、RAMブロック92の機能として、書き込み動作が同期式であっても、読み出し動作が非同期式であることが要求される場合、通常動作時ではスキャンパス20～22が実質的に機能しない。またRAMコア91のみのテストを行いたいときにはスキャンパス3を使用する必要がない。このためスキャンフリップフロップ20～22若しくはスキャンパス3がエリアオーバーヘッドとなり、面積の利用効率が低いという問題点があった。

【0011】本発明に係る問題点を解決するためになされたもので、面積の利用効率の高いスキャンパスの構成を提供することを目的としている。

【0012】

【課題を解決するための手段】この発明のうち請求項1にかかるものは、第1乃至第3の回路に対して第1のテストを行うテスト回路である。そして前記第1の回路の出力及びスキャンイン信号を入力し、パラレルの態様の第1の出力及びスキャン信号たる第2の出力を選択的に出力する第1のスキャンパスと、前記第1のスキャンパスの前記第1の出力を入力する入力端群及び出力端群を有する第4の回路と、前記第1のスキャンパスの前記第1の出力と、前記第4の回路の出力とを選択的に前記第2の回路に出力する選択手段と、前記第1のスキャンパスの第2の出力と、前記第2の回路の出力と、前記第4の回路の出力とを入力し、これら3者の何れか一つを選択的に前記第3の回路に出力する第2のスキャンパスと

を備える。しかも、前記第4の回路に対して第2のテストをも行う。

【0013】この発明のうち請求項2にかかるものは、請求項1記載のテスト回路であって、前記第2のスキャンパスはデータ圧縮機能を有する。

【0014】この発明のうち請求項3にかかるものは、請求項2記載のテスト回路であって、前記第2のスキャンパスは、前記第4の回路の出力を選択的に前記第3の回路に与える場合にMISR回路を構成する。

10 【0015】この発明のうち請求項4にかかるものは、請求項3記載のテスト回路であって、前記第2のスキャンパスは前記第2の回路の出力に対してビット毎に設けられ、前記データ圧縮機能を発揮するデータ圧縮回路からなり、前記データ圧縮回路の各々は前記第2の回路の出力を受ける通常入力端と、前記スキャン信号が伝搬するスキャン入力端と、出力端とを含むスキャンフリップフロップと、前記スキャンフリップフロップの前記スキャン入力端に接続された出力端と、前記出力端に選択的に接続される第1及び第2の入力端とを含むセクタ
20 と、前記セクタの前記第1の入力端に出力する論理回路とを有する。そして前記論理回路の各々は、自身に対応する前記スキャンフリップフロップの出力を保持するループを、前記セクタと共に形成し、前記第2のテストの結果が不良であれば前記スキャンフリップフロップに所定の論理を与え、前記スキャン信号は前記セクタの前記第2の入力端を伝搬する。

【0016】この発明のうち請求項5にかかるものは、第1乃至第5の回路に対して第1のテストを行い、第5の回路に対しては更に第2のテストをも行うテスト回路である。そして前記第1の回路の出力及びスキャンイン信号を入力し、パラレルの態様の第1の出力及びスキャン信号たる第2の出力を選択的に出力し、前記第1の出力は前記第2の回路に出力する第1のスキャンパスと、前記第1のスキャンパスの前記第1の出力と、前記第2の回路の出力とを選択的に前記第5の回路に出力する選択手段と、前記第1のスキャンパスの第2の出力と、前記第3の回路の出力と、前記第5の回路の出力とを入力し、これら3者の何れか一つを選択的に前記第4の回路に出力する第2のスキャンパスとを備える。

40 【0017】

【発明の実施の形態】

実施の形態1. 図1は本発明の実施の形態1の基本的な考え方を示すブロック図である。スキャンパス1はロジック領域80のロジック部81の出力と、スキャンイン信号SI1とを入力し、制御信号たるシフトモード信号SMの制御を受ける。

【0018】スキャンパス1の出力のうちスキャン信号SI3ではない方は、RAMコア91の入力端DIO～DI2へと入力する。

50 【0019】従来の技術において示されたスキャンパス

2の代わりに、セクタ40～42が設けられている。これらの“1”入力端にはそれぞれRAMコア91の入力端DI0～DI2が、“0”入力端にはそれぞれRAMコア91の出力端DO0～DO2が、接続されている。セクタ40～42の出力はロジック部82に入力する。セクタ群40～42はいずれもロジックテスト信号LOGTESTの制御を受け、その値が“0”か“1”かによって、ロジック部82に与えられるのがスキャンパス1の出力のうちのスキャン信号S13ではない方なのか、RAMコア91の出力なのかが決定される。

【0020】スキャンパス3aは従来の技術のスキャンパス3に対応した位置に配せられており、ロジック部82とロジック部83との間に介在し、スキャンパス1と直列に接続されている。スキャンパス3aは、それぞれが3つの入力A、B、Cを選択的に1つ出力するセクタ300～302と、フリップフロップ310～312からなる。セクタ300～302はいずれもRAMテスト信号RAMTESTと、シフトモード信号SMの両方の制御を受ける。入力Aにはシフトされるべきスキャン信号が与えられる。また入力Bにはロジック部82の出力が与えられる。そして、入力CにはRAMコア91の出力が与えられる。

【0021】図2は本発明の実施の形態1の具体的構成を示すブロック図である。図1で示されたセクタ300～302はそれぞれがRAMテスト信号RAMTESTとシフトモード信号SMとを制御信号とする2入力1出力のセクタの対で構成することができる。そして図18に例示されるように、2入力1出力のセクタとフリップフロップの対はスキャンフリップフロップを構成するので、結局セクタ300とフリップフロップ310の組み合わせは、RAMテスト信号RAMTESTで制御されるセクタ320と、シフトモード信号SMで制御されるスキャンフリップフロップ330との組み合わせで実現することができる。同様にセクタ301、302とフリップフロップ311、312との組み合わせは、セクタ320、322とスキャンフリップフロップ331、332との組み合わせで構成することができる。

【0022】スキャンフリップフロップ330～332の“1”入力端はスキャン信号が伝搬するスキャン入力端であり、“0”入力端はスキャンフリップフロップ330～332が通常のフリップフロップとして機能する場合の入力を受ける通常入力端である。

【0023】図2に示された構成は以下の3つのモードで動作する。

①通常モード；このモードにおいては、ロジックテスト信号LOGTEST、RAMテスト信号RAMTEST及びシフトモード信号SMを“0”に設定する。シフトモード信号SMを“0”に設定するので、スキャンパス

1を構成するスキャンフリップフロップ10～12が有するフリップフロップ（図17及び図18参照。例えばフリップフロップ102）はRAMコア91へと同期式に入力を与える。また、ロジックテスト信号LOGTESTが“0”であるのでセクタ40～42はRAMコア91の出力をロジック部82に非同同期式に与える。即ち、RAMコア91に対する書き込み動作が同期式であり、読み出し動作が非同同期式である。

【0024】そしてRAMテスト信号RAMTESTが“0”であるのでセクタ320～322はロジック部82の出力をスキャンフリップフロップ330～332に伝達し、シフトモード信号SMが“0”であるのでスキャンフリップフロップ330～332はロジック部82とロジック部83との間に介在する通常のフリップフロップとして機能する。従って、従来の技術において行われる通常動作と同じ動作が、しかもそれぞれ同期式／非同同期式の、書き込み動作及び読み出し動作が本実施の形態においても実現される。

【0025】②ロジックテストモード；このモードにおいては、RAMテスト信号RAMTESTが“0”に、ロジックテスト信号LOGTESTが“1”に設定される。RAMテスト信号RAMTESTが“0”であるのでセクタ320～322はロジック部82の出力をスキャンフリップフロップ330～332に伝達する。また、ロジックテスト信号LOGTESTが“1”に設定されるので、スキャンパス1の出力の内、スキャン信号S13でない方は、RAMコア91を回避してロジック部82へと与えられる。

【0026】図3はこのモードにおける、図2の回路の等価回路を示すブロック図である。ロジック部81、82の間、及びロジック部82、83の間には、いずれもシフトモード信号SMで制御されるスキャンパス1、3aがそれぞれ設けられており、両者が直列に接続されて1本のスキャンパスを構築している。従ってRAMコア91を初期化する必要がなく、テストパターン数を削減したロジックテストを行うことができる。

【0027】③RAMテストモード；このモードにおいては、RAMテスト信号RAMTESTが“1”に、ロジックテスト信号LOGTESTが“0”に設定される。従ってセクタ40～42、320～322は、RAMコア91の出力をロジック部82を回避して、スキャンフリップフロップ330～332に伝達する。

【0028】図4はこのモードにおける、図2の回路の等価回路を示すブロック図である。直列に接続されたスキャンパス1、3aがRAMコア91を囲んでいるので、RAMテストのみを行うことができる。

【0029】以上に述べたように、本実施の形態によれば、ロジックテストにおけるロジック部82、83の間に介在するスキャンパスとして、RAMテストにおいてRAMコア91の出力側に設けられるスキャンパスとし

て、いずれも同一のスキャンパス3aを用いることができ、従来の技術において設けられていたスキャンパス2を必要としない。そして通常動作においては書き込み動作及び読み出し動作がそれぞれ同期式/非同期式で行われる。

【0030】ロジックテスト信号LOGTESTによって制御されるセクタ40~42は従来の技術におけるスキャンパス2と置換されるが、図17を参照してわかるように、スキャンフリップフロップ20~22の分だけ本実施の形態の方が構成要素が少なく済む。従って、エリアオーバーヘッドを小さくし、面積の利用効率を悪化させることなくRAMコアのみのテストを行うことができる。

【0031】図1、図2に示された回路において、スキャンパス1、3aの間に別途に新たなスキャンパスが挿入されていても、またスキャンパス1とスキャンパス3aの接続順序が入れ替わっても、スキャン信号が伝達されるので問題はない。

【0032】実施の形態2。図5は本発明の実施の形態2を示すブロック図である。図1を用いて実施の形態1で説明された回路に対し、セクタ40~42がその“0”入力端を自身の出力端に接続し、スキャンパス3aをスキャンパス3bで置換した構成を有している。

【0033】スキャンパス3bはロジック部82の出力のビット毎に、ANDゲートAi、EXORゲートXi、スキャンフリップフロップ33iを備えている(i=0, 1, 2)。更にEXORゲートX3及びセクタ6をも備えている。そしてANDゲートA0~A2の第1の入力端にはいずれもRAMテスト信号RAMTESTが与えられる。またANDゲートA0~A2の出力端はそれぞれXORゲートX0~X2の第1の入力端に接続される。ANDゲートA0~A2の第2の入力端にはRAMコア91の出力がビット毎に与えられる。

【0034】XORゲートX0の第2の入力端にはセクタ6の出力が与えられる。また、XORゲートX1、X2の第2の入力端にはそれぞれスキャンフリップフロップ330、331の出力が与えられる。セクタ6の“0”入力端にはスキャンパス1からスキャン信号SI3が、“1”入力端にはXORゲートX3の出力が、それぞれ与えられる。XORゲートX3にはスキャンフリップフロップ331、332の出力が与えられる。

【0035】スキャンフリップフロップ330~332の“0”入力端にはロジック部82の出力がビット毎に、“1”入力端にはXORゲートX0~X2の出力が、それぞれ与えられる。

【0036】図6は、本実施の形態の変形を示す回路図であり、実施の形態1と同様に、RAMコア91とロジック部82との間にセクタ40~42を介在させたものである。図6において、ロジックテスト信号LOGTESTを“0”に設定した場合が、図5に相当するとい

える。

【0037】図5、図6に示された構成は以下の3つのモードで動作する。

①通常モード；このモードにおいては、シフトモード信号SMを“0”に設定する。図6に示された構成においては更にロジックテスト信号LOGTESTも“0”に設定して図5と構成が等価となる。

【0038】シフトモード信号SMを“0”に設定するので、スキャンパス1はRAMコア91へと同期式に入力を与える。また、シフトモード信号SMが“0”であるので、スキャンフリップフロップ330~332はロジック部82の出力を受け、ロジック部83へと出力する通常のフリップフロップとして機能する。スキャンフリップフロップ330~332の“1”入力端に与えられるデータはこのモードに寄与しないので、RAMテスト信号RAMTESTはその値が問われない(Don't Care)。

【0039】以上のようにして、従来の技術において行われる通常動作と同じ動作が、しかも書き込み動作及び読み出し動作がそれぞれ同期式/非同期式で、本実施の形態においても実現される。

②ロジックテストモード；このモードにおいては、RAMテスト信号RAMTESTが“0”に設定される。まず図5に示された構成から説明する。

【0041】図7は図5に示された構成においてRAMテスト信号RAMTESTが“0”に設定された場合の等価回路を示すブロック図である。ANDゲートA0~A2はその第2の入力端に与えられたデータに拘らずに“0”を出力するので、EXORゲートX0~X2はその第2の入力端に与えられたデータを出力する。

【0042】セクタ6は、その“0”入力端に与えられるスキャン信号SI3を出力するので、スキャンフリップフロップ330の“1”入力端にこれが与えられることになる。スキャンフリップフロップ331、332の出力に依存してEXORゲートX3の出力は異なるが、これはセクタ6の“1”入力端に与えられるので、このモードには寄与しない。

【0043】このようにして、スキャンパス1、RAMコア91、ロジック部82、スキャンパス3b、ロジック部83という順に並列のデータが伝搬し、ロジックテストが行われる。

【0044】一方、図6に示された本実施の形態の変形においてはロジックテスト信号LOGTESTが“1”に設定される。よってスキャンパス1の出力の内、スキャン信号SI3でない方は、RAMコア91を回避してロジック部82へと与えられる。

【0045】従って、図5に示された構成と比較して、ロジックテストにおいてRAMコア91を初期化する必要がなく、ロジックテストのテストパターン数を削減することができるという利点が付加される。

【0046】③RAMテストモード；このモードにおいては、RAMテスト信号RAMTEST及びシフトモード信号SMが“1”に設定される。シフトモード信号SMが“1”に設定されるので、ロジック部82の出力はこのモードに寄与しない。従って、ロジック部82に与えられるデータもこのモードに寄与しないため、図6の場合にはロジックテスト信号LOGTESTの値は問われない。

【0047】図8はこのモードにおける、図5及び図6の回路の等価回路を示すブロック図である。実施の形態1と同様にRAMコア91を直列に接続されたスキャンパス1、3bが囲んでいるので、RAMテストのみを行うことができる。

【0048】セクタ6はEXORゲートX3の出力をEXORゲートX0の第2の入力端に与える。また、ANDゲートA0～A2はそれぞれがその第2の入力端に与えられたデータを出力するので、EXORゲートX0～X2の第1の入力端にはRAMコア91の出力が与えられることになる。従って、XORゲートX0～X3及びスキャンフリップフロップ330～332は多入力データ圧縮回路としてよく用いられている多入力シグニチャレジスタ(MISR: Multi Input Shift Register)回路を構成することになる。RAMコア91から出力されたRAMテストの結果はこのMISR回路に取り込まれて圧縮される。

【0049】簡単にRAMテストの実行手順を示すと以下になる。まずあらかじめ、①RAMコア91の全アドレスに対してスキャンパス1からテストデータを書き込む。また②スキャンフリップフロップ330～332の記憶する内容を“0”に初期化しておく。これは図5及び図6に示された状態で、RAMテスト信号RAMTEST及びスキャン信号SI3を“0”に設定することで実現できる。

【0050】次にRAMTEST=“1”として図8に示された回路を得て、③RAMコア91の全アドレスに対してRAMテストの結果であるデータの読み出しを行う。このデータはMISR回路を構成しているスキャンパス3bにおいて圧縮される。そして④RAMTEST=“0”に再度設定し、スキャンパス3bに保持されているテスト結果をスキャンアウト信号SOとしてシフトアウトする。

【0051】このスキャンアウト信号SOの内容と、テストデータに対してあらかじめシミュレーションによって得られているテスト結果と比較する(シグニチャ解析)ことにより、RAMコア91の故障を検出することができる。

【0052】このように、RAMコア91の出力を取り込むスキャンパス3bにデータ圧縮機能を備えるので、実施の形態1ではRAMテストにおいてアドレス毎にテスト結果をシフトアウトする必要があったが、本実施の

形態では全アドレスに対してテストを行った後に、テスト結果をシフトすることとなる。従って、本実施の形態においても実施の形態1と同様に、スキャンフリップフロップ20～22の分だけ構成要素が少なく済むという効果に加え、更にテスト時間を短縮することができるという効果がある。

【0053】実施の形態3. 図9は本発明の実施の形態3を示すブロック図である。図1を用いて実施の形態1で説明された回路に対し、セクタ40～42がその“0”入力端を自身の出力端に接続し、スキャンパス3aをスキャンパス3cで置換した構成を有している。

【0054】スキャンパス3cはロジック部82の出力及びRAMコア91の出力を受けるデータ圧縮回路340～342によって構成されている。これらはビット毎に設けられているため、テスト結果から故障箇所を特定することができる。

【0055】データ圧縮回路34iはゲート群Qiと、ロジック部82の出力を受ける“0”入力端を有し、シフトモード信号SMによって制御されるスキャンフリップフロップ33iと、スキャンフリップフロップ33iの“1”入力端に接続される出力端を有するセクタ32iとから構成されている。セクタ320の“0”入力端にはスキャン信号SI3が、セクタ321、322の“0”入力端にはそれぞれフリップフロップ330、331の出力が与えられる。

【0056】ゲート群Qiはビット毎のRAMコア91の出力、期待信号EXP、比較制御信号CMP、フリップフロップ33iの出力を入力し、セクタ32iの“1”入力端へと出力する。

【0057】また、セクタ32iは実施の形態1においてはRAMテスト信号RAMTESTによって動作が制御されていたが、本実施の形態においてはホールド信号HLDによって動作が制御される。

【0058】図10はデータ圧縮回路340の詳細、特にゲート群Q0の詳細を示す回路図である。他のデータ圧縮回路341、342についても同様の構成がなされる。かかる構成は例えば特開平8-94718号公報の図11において開示されている。

【0059】ゲート群QiはそれぞれXORゲートX1i、NANDゲートN1i及びANDゲートA1iから構成されている。XORゲートX1iの一对の入力端にはRAMコア91の出力及び期待信号EXPが与えられる。NANDゲートN1iの一对の入力端にはXORゲートX1iの出力及び比較制御信号CMPが与えられる。そしてANDゲートA1iの一对の入力端にはNANDゲートN1iの出力及びスキャンフリップフロップ33iの出力が与えられ、ANDゲートA1iはセクタ32iの“1”入力端へと出力する。

【0060】図11は、本実施の形態の変形を示す回路図であり、実施の形態1と同様に、RAMコア91とロ

ジック部82との間にセクタ40~42を介在させたものである。図11において、ロジックテスト信号LOGTESTを“0”に設定した場合が、図9に相当するといえる。

【0061】図9、図11に示された構成は以下の3つのモードで動作する。

①通常モード；このモードにおいては、シフトモード信号SMを“0”に設定する。図11に示された構成においては更にロジックテスト信号LOGTESTも“0”に設定して図9と構成が等価となる。

【0062】シフトモード信号SMが“0”であるのでスキャンバス1はRAMコア91へと同期式に書き込みを行う。またスキャンフリップフロップ330~332はロジック部82の出力を受け、ロジック部83へと出力する通常のフリップフロップとして機能する。スキャンフリップフロップ330~332の“1”入力端に与えられるデータはこのモードに寄与しないので、ホールド信号HLDはその値を問わない。

【0063】以上のようにして、従来の技術において行われる通常動作と同じ動作が、しかも書き込み動作及び読み出し動作がそれぞれ同期式/非同期式で、本実施の形態においても実現される。

【0064】②ロジックテストモード；このモードにおいてはホールド信号HLDが“0”に設定される。まず図9に示された構成から説明する。セクタ320~322とフリップフロップ330~332とが交互に直列に接続されたパスが形成され、図7に示された構成と等価な構成が得られ、実施の形態2のロジックテストモードで説明された動作が本実施の形態でも実現される。

【0065】一方、図11に示された本実施の形態の変形においては更にロジックテスト信号LOGTESTが“1”に設定される。よってスキャンバス1の出力の内、スキャン信号SI3でない方は、RAMコア91を回避してロジック部82へと与えられる。

【0066】従って、図9に示された構成と比較して、ロジックテストにおいてRAMコア91を初期化する必要がなく、ロジックテストのテストパターン数を削減することができるという利点が付加される。

【0067】③RAMテストモード；このモードにおいては、シフトモード信号SMが“1”に設定される。よってロジック部82の出力はこのモードに寄与しない。従って、ロジック部82に与えられるデータもこのモードに寄与せず、図11の場合にはロジックテスト信号LOGTESTの値は問われないため、図9及び図11のいずれの構成も、RAMテストモードにおける等価的な構成は図12に示されるようになる。

【0068】例えばRAMの全アドレスに“0”を書き込んだ後、全アドレスから“0”を読み出すテストの具体的手順を以下に簡単に示す。まず①ホールド信号HLDを“0”に設定してセクタ320~322とフリッ

フリップフロップ330~332とが交互に直列に接続されたパスを形成する。ここでスキャンイン信号SI1を例えば“1”に設定し、フリップフロップ330~332を全て“1”に初期設定する。次に②ホールド信号HLDを“1”に設定して、ANDゲートA1i、セクタ32i、フリップフロップ33iでループを形成する。このとき比較制御信号CMPを“0”に設定しておくことでNANDゲートN1iは常に“1”を出力し、スキャンフリップフロップ33iの記憶する論理“1”がホールドされる。その一方、スキャン信号SI1として“0”を与え、RAMコア91の全てのアドレスに“0”を書き込む。そして③ホールド信号HLDを“1”に設定したまま、比較制御信号CMPを“1”にする。このときまでに期待信号EXPには期待値“0”を与えておき、RAMコア91の読み出し動作を行う。

【0069】例えばRAMコア91の出力端DO0に関してみれば、ここに読み出されたデータはXORゲートX10において期待値と比較され、両者が同一か否かが判断される。その結果はNANDゲートN10によって反転されてANDゲートA10へと与えられる。読み出されたデータが期待値“0”と等しければANDゲートA0はスキャンフリップフロップ330に記憶されたデータと同じ論理“1”をセクタ320に与えるので、スキャンフリップフロップ330の値は“1”のままである。

【0070】一方、読み出されたデータが期待値と異なればANDゲートA10は常に“0”を出力するので、一旦出力端DO0において故障が発見されれば、スキャンフリップフロップ330にはその後“0”が記憶され続けることとなる。他の出力端DO1、DO2に関しても同様である。

【0071】ついて④ホールド信号HLDを“0”に、比較制御信号CMPを“0”にすることにより、テスト実行時にスキャンフリップフロップ330~332に格納された値がその論理を保ちつつ、スキャンアウト信号SOとしてシフトされて得られる。そして正常ビットに関しては“1”が、故障ビットに対しては“0”が検出される。

【0072】本実施の形態は実施の形態2と類似してデータ圧縮機能を備える。更にテスト結果がビット毎に圧縮されるので、故障箇所を特定することができるという効果が付加される。

【0073】実施の形態4。実施の形態1ないし実施の形態3に示された構成は、RAMコア91に対する書き込み及びRAMコア91からの読み出しのいずれもが非同期式で行われる場合にも適用することができる。

【0074】図13は本発明の実施の形態4を示すブロック図である。ロジック領域80はロジック部81~84を備えており、スキャンバス1はロジック部81、84の間に、RAMコア91はロジック部84、82の間

に、そしてスキャンパス3cはロジック部82, 83の間にそれぞれ介在している。

【0075】スキャンパス1はロジック部81の入力及びスキャンイン信号S11を受け、ロジック部84へビット毎の出力を、スキャン信号を伝達させる場合にはスキャン信号S13を、それぞれ出力する。

【0076】セクタ40~42のそれぞれはロジック部84の出力を“0”入力端で受け、スキャンパス1の出力の内、スキャン信号S13でない方を“1”入力端で受ける。セクタ40~42の出力は、RAMコア91への入力として機能する。セクタ40~42はRAMテスト信号RAMTESTによって制御される。

【0077】スキャンパス3aの構成は既に実施の形態1において図1を用いて説明されたものと同一である。スキャンパス3aはセクタ300~302の制御を行うためのRAMテスト信号RAMTEST及びシフトモード信号SM、スキャン信号S13の他、ロジック部82の出力、RAMコア91の出力を受ける。RAMコア91の出力は、ロジック部82の入力としても機能する。

【0078】図13に示された構成は、実施の形態1と同様、以下の3つのモードで動作する。

①通常モード；このモードにおいては、RAMテスト信号RAMTESTを“0”にし、セクタ40~42がロジック部84の出力をRAMコア91の入力として伝達する。また、セクタ300~302がその入力B（ロジック部82の出力が与えられる）を出力するように設定される。スキャンパス3aが図2に示された構造を有するのであれば、シフトモード信号SMを“0”に設定する。

【0079】この場合には、ロジック部84とRAMコア91の間にフリップフロップが介在しないので、その書き込み動作は非同期式である。一方、RAMコア91の出力はフリップフロップを介することなくロジック部82に与えられるのでその読み出し動作も非同期式となる。フリップフロップ310~312はロジック部82, 83の間に介在する。

【0080】②ロジックテストモード；このモードにおいては、RAMテスト信号RAMTESTが“0”に、またセクタ300~302がシフトモード信号SMの値が“1”/“0”を採るのに従って、その入力A（スキャン信号が伝達される）、Bを出力するように設定される。

【0081】この場合には、ロジック部81, 84の間にはスキャンパス1が、ロジック部84, 82の間にはRAMコア91が、ロジック部82, 83の間にはスキャンフリップフロップが、それぞれ介在することになる。よってシフトモード信号SMの値を制御することにより、スキャンイン信号S11からテストデータを伝達させ、テスト結果をシフトアウト信号SOから得ること

ができる。

【0082】③RAMテストモード；このモードにおいては、RAMテスト信号RAMTESTが“1”に設定され、ロジック部84を介することなくセクタ40~42がスキャンパス1からの出力をRAMコア91の入力として伝達する。またセクタ300~302はその入力C（RAM91の出力が与えられる）を出力するように設定されるので、スキャンパス3aとRAMコア91との間にはロジック部82を介したデータのやりとりはない。

【0083】このようにしてRAMコア91はその入力側にスキャンパス1からテストデータが与えられ、その出力側からフリップフロップ310~312にテスト結果を与えるので、RAMコア91のみをスキャンパス1, 3aを用いてテストすることができる。

【0084】以上のように本実施の形態によれば、RAMコア91に対する書き込み/読み出し動作の何れもが非同期式である場合においても、実施の形態1と同様の効果を得ることができる。

20 【0085】勿論、スキャンパス3b, 3cを用いることにより、実施の形態2及び実施の形態3と同様の効果を得ることもできる。

【0086】実施の形態5。図14は本発明の実施の形態5を示すブロック図であり、図1におけるスキャンパス3aをスキャンパス3へと一般化して表記している。また、スキャンパス1がスキャンパス1dに置換されている。

【0087】図15はスキャンパス1dの構成を示すブロック図である。スキャンパス1dはスキャンフリップフロップ（例えば図17に示されたスキャンフリップフロップ10~12）の直列接続からなる通常のスキャンパス1eと、RAMテストに用いられるテストデータのパターンを発生するデータパターン発生回路109と、セクタ110~112を備えている。

【0088】スキャンパス1eにはロジック部81の出力の他、スキャンイン信号S11及びシフトモード信号SMが入力され、ビット毎の出力をセクタ110~112の“0”入力端に、またスキャン信号S13を出力する。データパターン発生回路109にはRAMテスト信号RAMTEST及びシフトイン信号S11が入力され、ビット毎にテストデータをセクタ110~112の“1”入力端に出力する。

【0089】RAMテスト信号RAMTESTが“0”の場合には、セクタ110~112の機能によって実施の形態1と同様の機能を有する。一方、RAMテスト信号RAMTESTが“1”の場合、即ちRAMテストが実行される場合においては、データパターン発生回路109の出力がRAMコア91に与えられる（RAMテスト時にはロジックテスト信号LOGTESTが“0”に設定されるので、セクタ40~42はセレ

タ110～112の出力を他へ伝達しない)。

【0090】データパターン発生回路109の好例として、LFSR (Linear Feedback Shift Register) 回路を用いれば、エリアオーバーヘッドが小さいという利点がある。データパターン発生回路109はRAMテスト信号RAMTESTの値が“1”を探ることによってアクティブとなり、スキャンイン信号SI1はLFSR回路の初期値設定に用いることができる。

【0091】以上のように本実施の形態によれば、実施の形態1で得られる効果に加えて、RAMテストに好適なテストデータをRAMテスト時にスキャンパス1dから与えることができるという効果がある。

【0092】勿論、スキャンパス3は、実施の形態2及び実施の形態3に示されるように、テスト結果を圧縮する回路を備えていてもよい。

【0093】その他の変形、上記数々の実施の形態において、種々の変形が可能である。例えばRAMコア91自体は非同期式で書き込み/読み出しがなされるとして説明されてきたが、RAMコア91の自体の書き込み/読み出しが同期設計されていても本発明を適用することが

【0094】特にすでにハードマクロ化された同期式のRAMに対して、

i) RAM内部にテスト回路を付加したり、ii) RAMをスキャンパスで囲み、通常動作時はこれらのスキャンパスをバイパスする必要がない。従って、RAMの再設計、所要の面積の増加を回避してテスト容易化が実現できるために本発明の効果は特に大きい。

【0095】また各実施の形態において示されたRAMコア91をロジック回路に置換してもよい。そのロジック回路は一つの論理ブロックとして扱うことができ、テストパターンがすでにライブラリ化されている場合に特に効果が大きい。

【0096】上記数々の実施の形態では、通常の日データとスキャン信号とを入力とするセレクトと、セレクトの出力を入力とするフリップフロップで構成されたスキャンフリップフロップで説明した(図18)。

【0097】例えば、通常の日データとスキャン信号とを入力とし、通常動作用のクロックとスキャンクロックを備えたスキャンフリップフロップに置き換えても上記数々の実施の形態の効果は変わらない。

【0098】例えば、レベル・センシティブ・スキャン・デザイン(LSSD)に用いられるシフトレジスタラッチに置き換えても上記数々の実施の形態の効果は変わらない。

【0099】

【発明の効果】この発明のうち請求項1にかかるテスト回路においては、①選択手段が第4の回路の出力を選択的に第2の回路に出力し、第2のスキャンパスが第2の回路の出力を選択的に第3の回路に出力する場合には、

第1の回路、第1のスキャンパス、第4の回路、第2の回路、第2のスキャンパス、第3の回路がこの順に接続される。よって第4の回路の入力/出力はそれぞれ同期式/非同期式で行われる。

【0100】また、②選択手段が第1のスキャンパスの第1の出力を選択的に第2の回路に出力し、第2のスキャンパスが第1のスキャンパスの第2の出力と、第2の回路の出力との一方を選択的に第3の回路に与える場合には、第1の回路、第1のスキャンパス、第2の回路、第2のスキャンパス、第3の回路がこの順に接続されて第1のテストが行われる。

【0101】更に、③第2のスキャンパスが第4の回路の出力を第3の回路に出力する場合には、選択手段の動作に拘らず、第4の回路は第1及び第2のスキャンパスによって囲まれる。よって第4の回路に対する第2のテストを第2の回路が介在することなく行うことができる。

【0102】第1及び第2のテストの何れをも行わない場合には第4の回路の入力/出力はそれぞれ同期式/非同期式で行われる。そして第1及び第2のテストのいずれを行う場合にも第2のスキャンパスが兼用して用いられるので、エリアオーバーヘッドを抑制しつつもこれら2種の動作を行うことができる。しかも第1のテストを行う際には第4の回路は介在しないので、第1乃至第3の回路に対する第1のテストにおいて第4の回路の初期化は必要ない。

【0103】この発明のうち請求項2にかかるテスト回路によれば、第4の回路に対する第2のテストにおいて、第4の回路に複数種の入力を与えられ、これに対する出力を調べる場合であっても、入力の種類毎にテスト結果を第2のスキャンパスにおいてシフトアウトさせる必要はない。複数種の全ての入力に対して第2のテストを行った後でテスト結果をシフトアウトさせればよいので、テスト時間を短縮することができるという効果が付加される。

【0104】この発明のうち請求項3にかかるテスト回路によれば、第4の回路に対する第2のテストが行われる際に、MISR回路によってテスト結果の圧縮が行われるので、シグニチャ解析によって第4の回路の良否を判断することができる。

【0105】この発明のうち請求項4にかかるテスト回路によれば、第4の回路の出力のビット毎に、第2のテストの結果に一旦不良が存在すれば、論理回路によってスキャンフリップフロップに所定の論理が固定されるので、不良が存在したことが記憶される。従って、圧縮されたテスト結果の良否を得ることができる。

【0106】この発明のうち請求項5にかかるテスト回路においては、①選択手段が第2の回路の出力を選択的に第5の回路に出力し、第2のスキャンパスが第3の回路の出力を選択的に第4の回路に出力する場合には、第

17

1の回路、第1のスキャンパス、第2の回路、第5の回路、第3の回路、第2のスキャンパス、第4の回路がこの順に接続される。よって第5の回路の入力/出力はいずれも非同期式で行われる。

【0107】また、②選択手段が第2の回路の出力を選択的に第2の回路に出力し、第2のスキャンパスが第1のスキャンパスの第2の出力と、第3の回路の出力との一方を選択的に第4の回路に与える場合には、第1の回路、第1のスキャンパス、第2の回路、第5の回路、第3の回路、第2のスキャンパス、第4の回路がこの順に接続されて第1のテストが行われる。

【0108】更に、③選択手段が第1のスキャンパスの第1の出力を第5の回路に出力し、第2のスキャンパスが第5の回路の出力を第4の回路に出力する場合には、第5の回路は第1及び第2のスキャンパスによって囲まれる。よって第5の回路に対する第2のテストを第2及び第4の回路が介在することなく行うことができる。

【0109】第1及び第2のテストの何れも行わない場合には第5の回路の入力/出力はいずれも非同期式で行われる。そして第1及び第2のテストのいずれを行う場合にも第2のスキャンパスが兼用して用いられるので、エリアオーバーヘッドを抑制しつつもこれら2種の動作を行うことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の基本的な考え方を示すブロック図である。

【図2】 本発明の実施の形態1の具体的構成を示すブロック図である。

【図3】 ロジックテストモードにおける、図2の回路の等価回路を示すブロック図である。

【図4】 RAMテストモードにおける、図2の回路の等価回路を示すブロック図である。

【図5】 本発明の実施の形態2を示すブロック図である。

18

【図6】 本発明の実施の形態2の変形を示す回路図である。

【図7】 RAMテスト信号RAMTESTが“0”の場合における、図5の回路の等価回路を示すブロック図である。

【図8】 RAMテストモードにおける、図5及び図6の回路の等価回路を示すブロック図である。

【図9】 本発明の実施の形態3を示すブロック図である。

【図10】 ゲート群Q0の詳細を示す回路図である。

【図11】 本発明の実施の形態3の変形を示す回路図である。

【図12】 RAMテストモードにおける、図9及び図11の回路の等価回路を示すブロック図である。

【図13】 本発明の実施の形態4を示すブロック図である。

【図14】 本発明の実施の形態5を示すブロック図である。

【図15】 スキャンパス1dの構成を示すブロック図である。

【図16】 従来の技術を示すブロック図である。

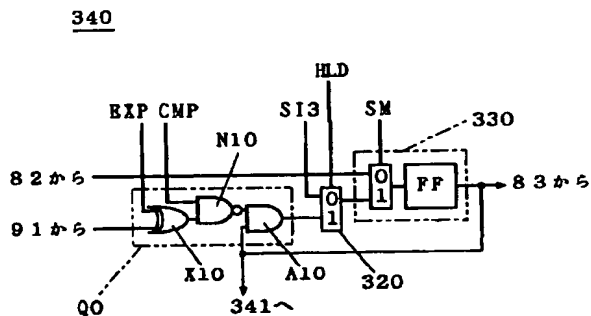
【図17】 RAMブロック92の詳細を示す回路図である。

【図18】 スキャンフリップフロップ10の構成を示す回路図である。

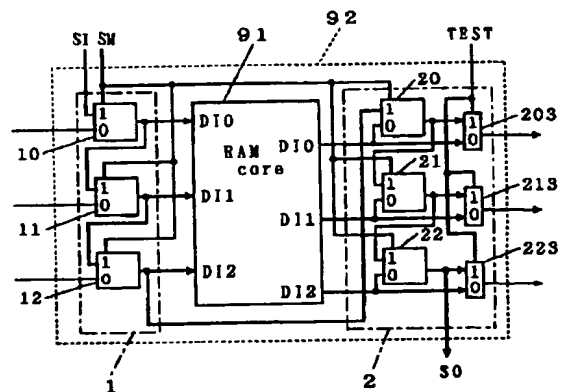
【符号の説明】

D10～D12 入力端、DO0～DO2 出力端、40～42, 320～322 セレクタ、1, 3, 3a, 3b, 3c スキャンパス、340～342 データ圧縮回路、330～332 スキャンフリップフロップ、Q0～Q2 ゲート群、81～84 ロジック部、91 RAMコア、S11 スキャンイン信号、S13 スキャン信号。

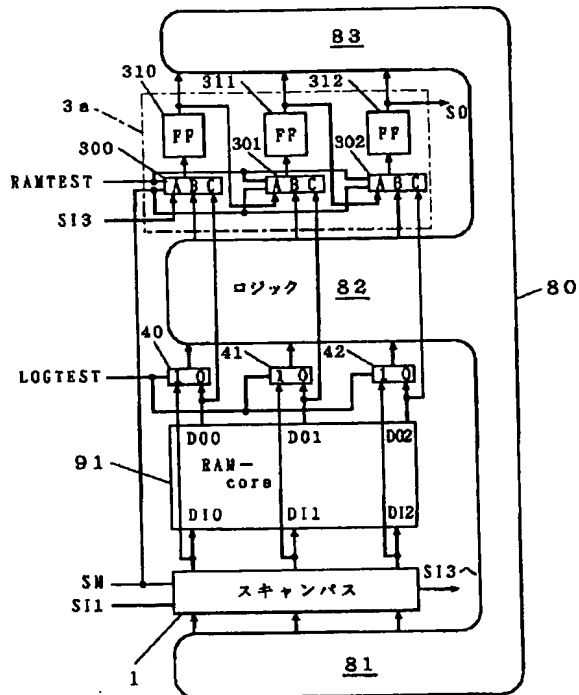
【図10】



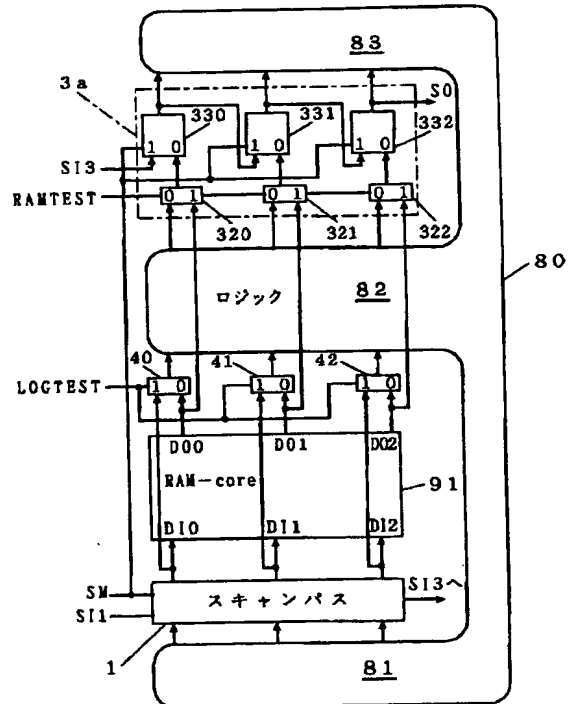
【図17】



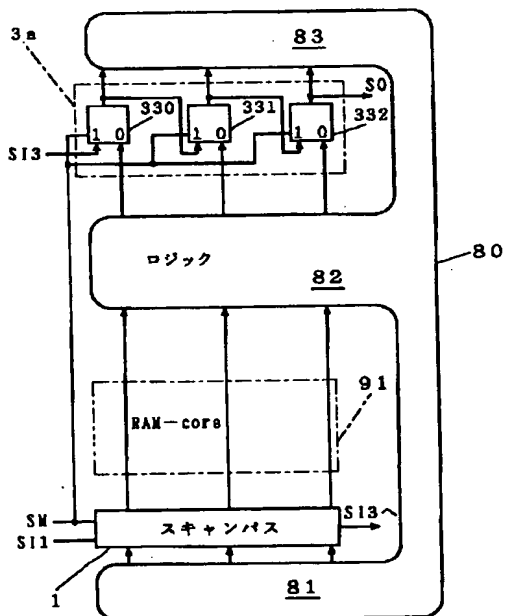
【図1】



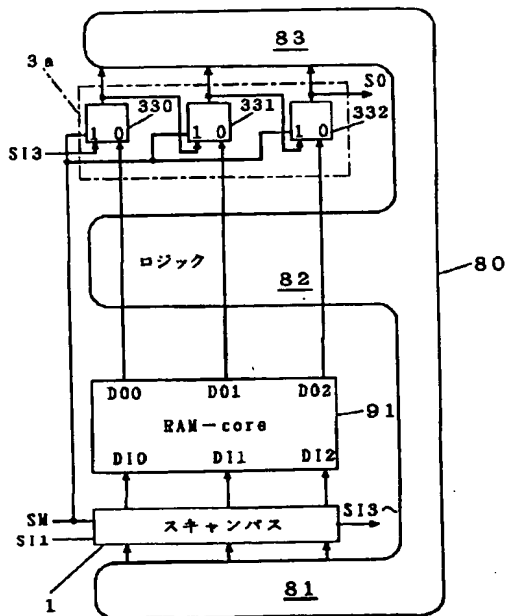
【図2】



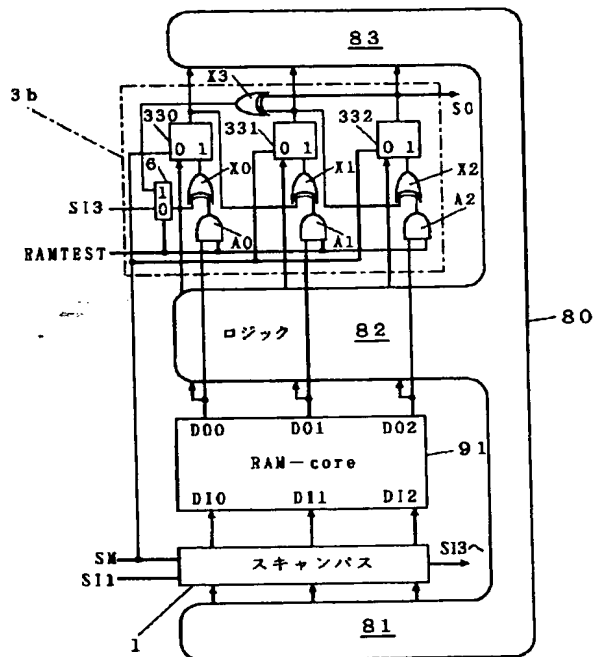
【図3】



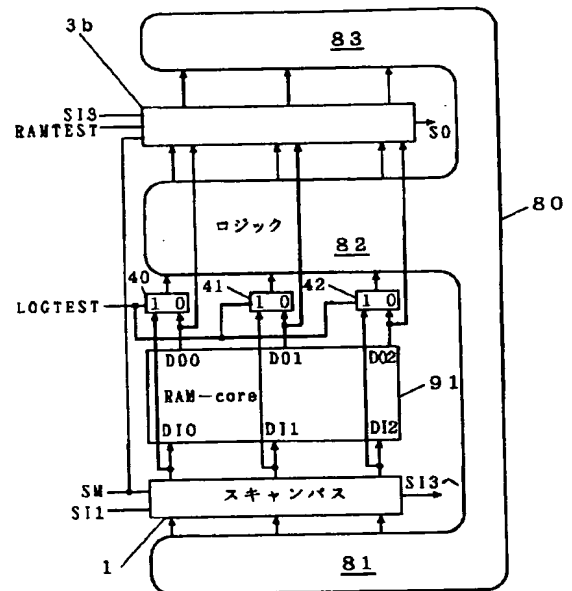
【図4】



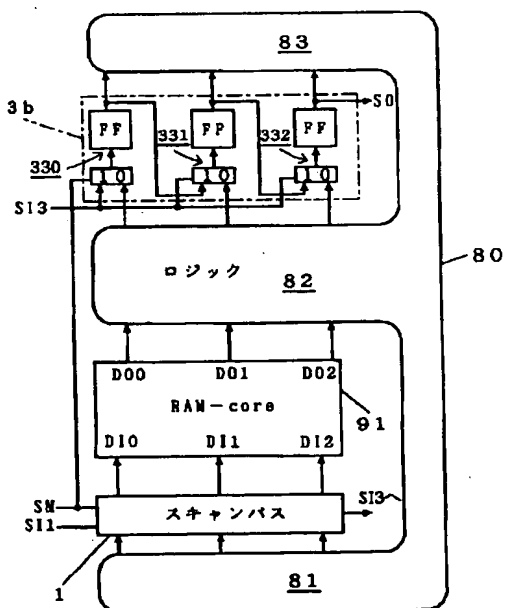
【図5】



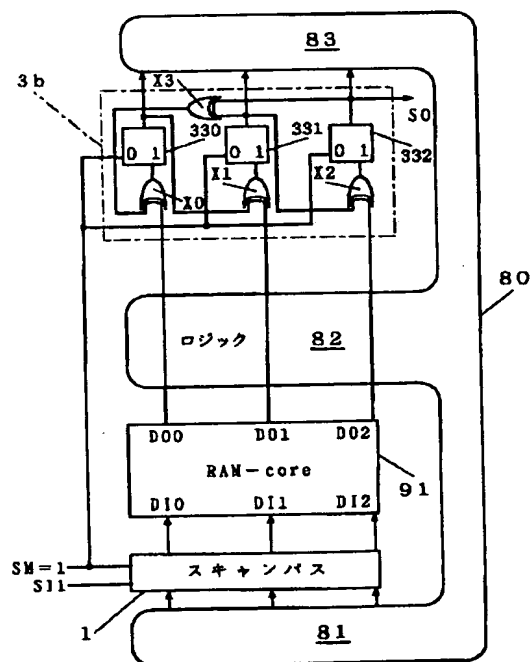
【図6】



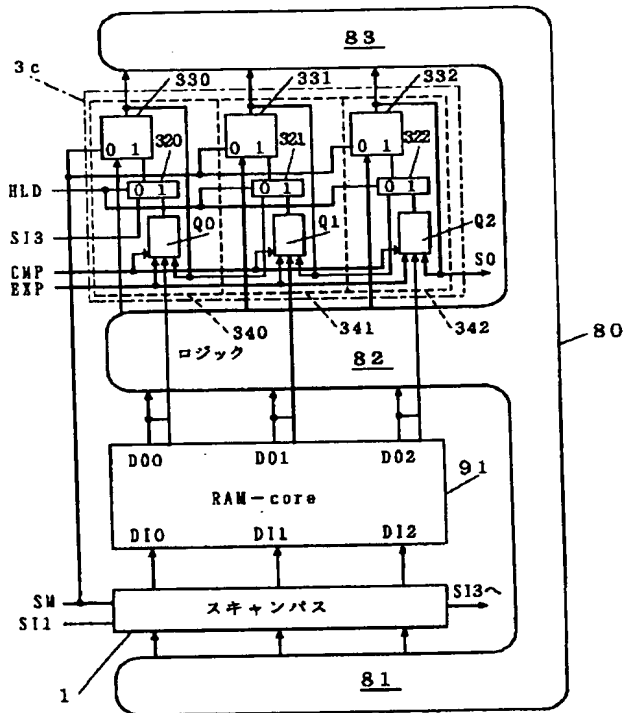
【図7】



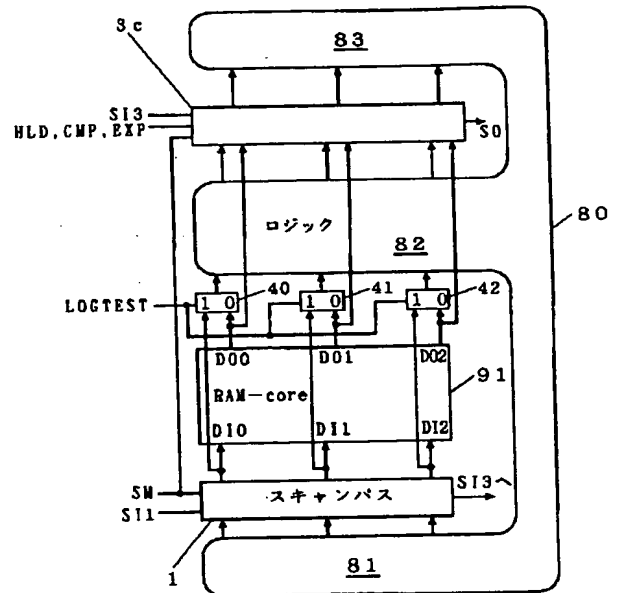
【図8】



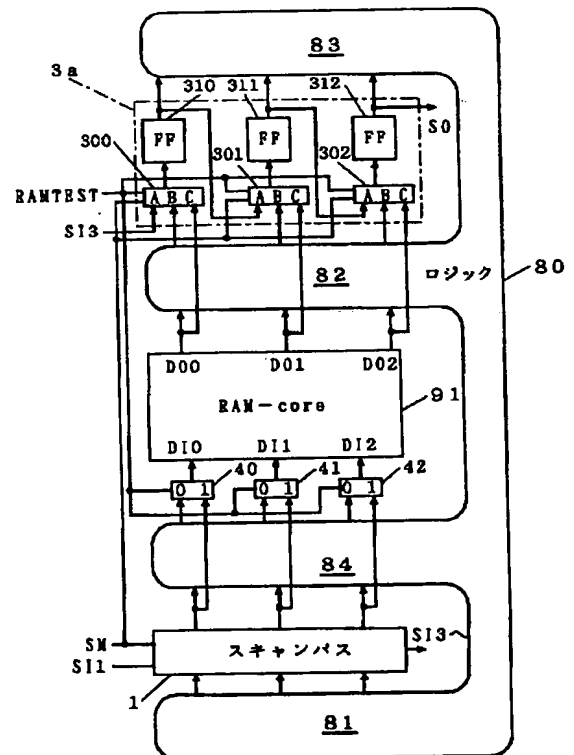
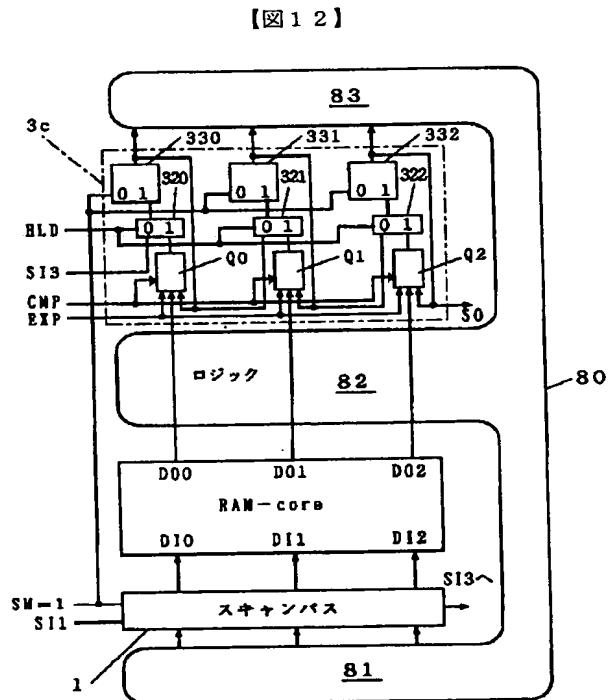
【図9】



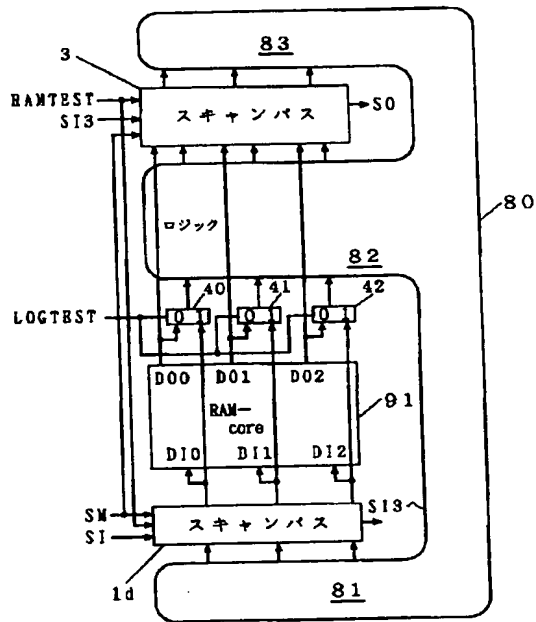
【図11】



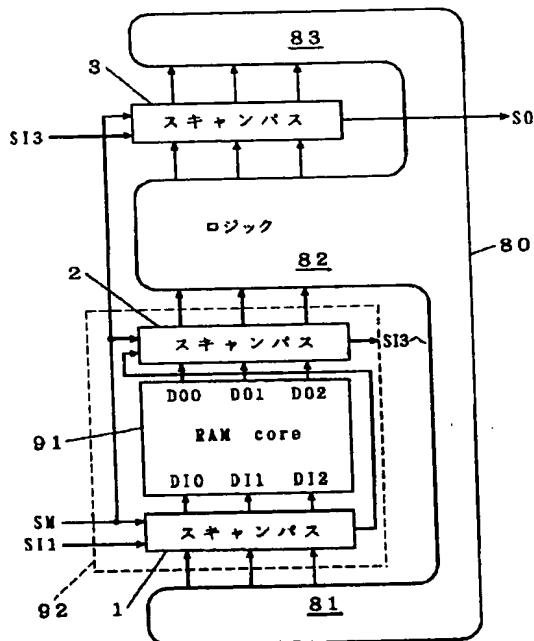
【図13】



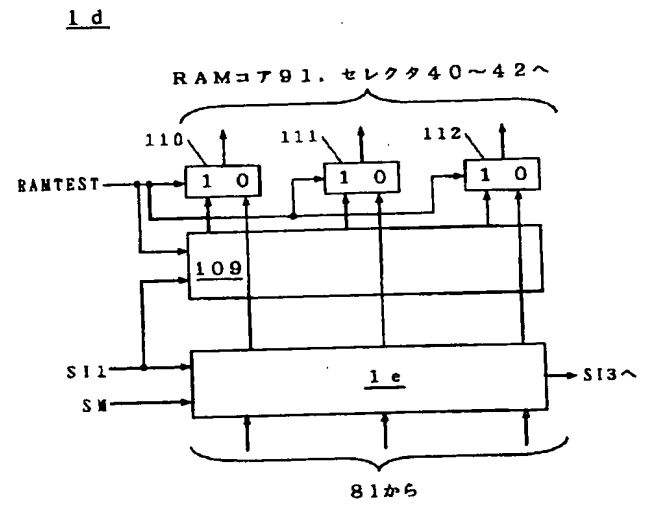
【図14】



【図16】



【図15】



【図18】

